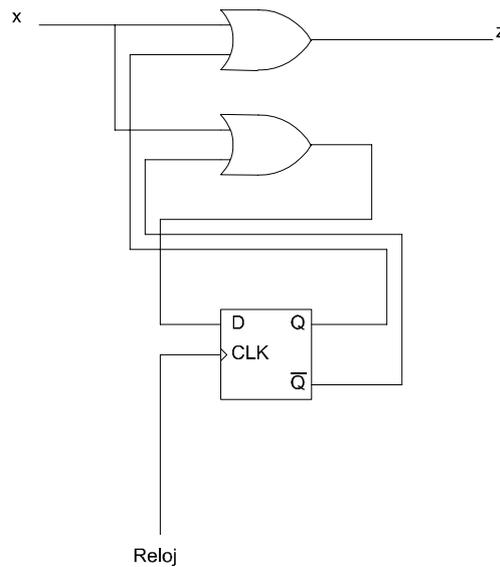




Relación de Problemas de Circuitos Secuenciales

- 1.- Dado el circuito secuencial síncrono de la figura:
 - a.- Trace un diagrama de tiempos para $x = 000101011$ y $Q = 0$.
 - b.- Determine el diagrama de estados.
 - c.- Determine la tabla de estados.



- 2.- Trace el diagrama lógico para un circuito secuencial síncrono que utilice flip-flops T con reloj y las funciones de conmutación

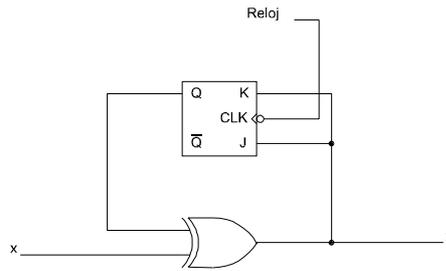
$$z = T_1 = x\overline{y_2}$$

$$T_2 = x\overline{y_1}$$

Determine un diagrama de estados del circuito con la asignación

	y_1	y_2
A:	0	0
B:	0	1
C:	1	1
D:	1	0

- 3.- El circuito de la figura produce una secuencia de salida $z = 11011111$ cuando le aplicamos una secuencia de entrada $x = 01101010$. ¿Cuál es el estado inicial ?



4.- Trace el diagrama lógico para la implantación de un circuito secuencial mediante un flip-flops D con reloj, utilizando las ecuaciones lógicas

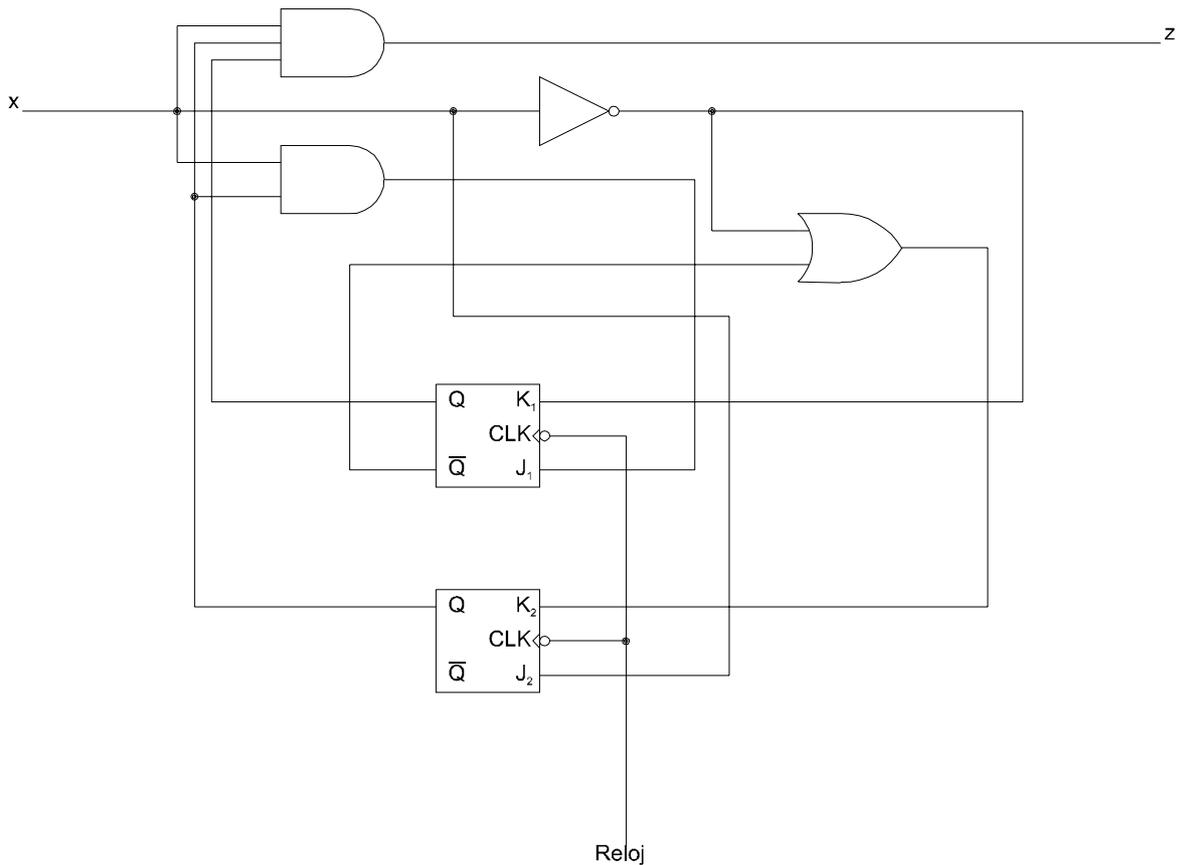
$$Y_1 = \bar{x}y_1$$

$$Y_2 = x + y_1 + y_2$$

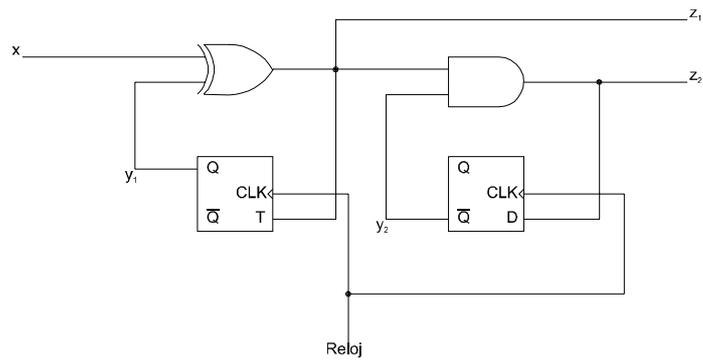
$$z = xy_1\bar{y}_2$$

Determine una tabla de estado para este circuito.

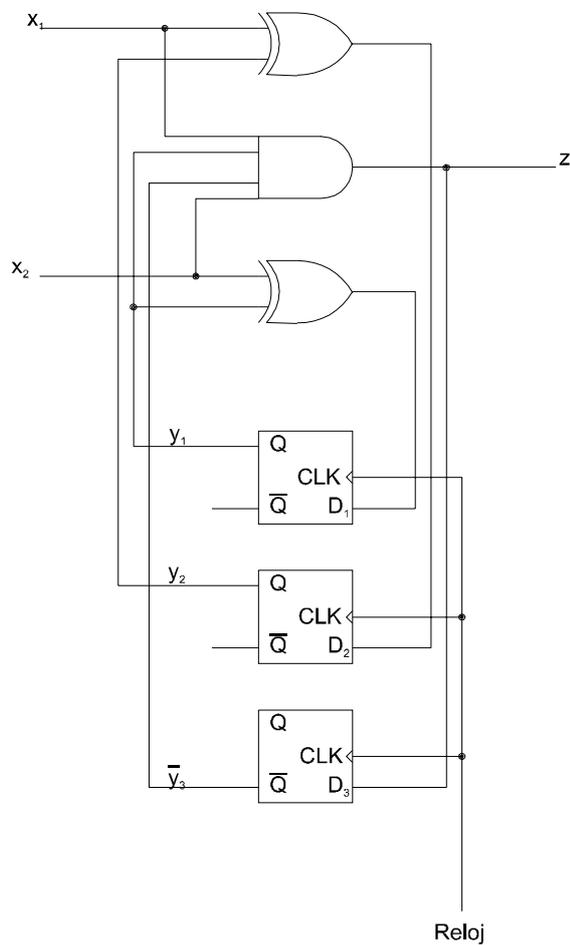
5.- Analice el circuito de la figura y determinar: (a) Tabla de estados, (b) El diagrama de flujo.



6.- Considere un circuito secuencial que consta de dos circuitos en cascada, como se muestra en la figura. Si el estado inicial es $y_1 = y_2 = 0$, ¿Cuál es la secuencia de salida generada por la secuencia de entrada $x = 0110111010$?



7.- Determine la tabla de estados para el circuito secuencial de la figura.



8.- Determine la implementación, mediante un flip-flop D, del circuito secuencial definido por la siguiente tabla de estados.

	x	
	0	1
A	D/0	C/0
B	E/0	A/1

C	F/1	B/0
D	A/1	F/1
E	C/0	E/0
F	B/0	D/1

9.- Obtener la realización mediante flip-flops JK del circuito secuencial síncrono especificado por la siguiente tabla de estados.

	x	
	0	1
A	B/0	E/0
B	A/1	C/1
C	B/0	C/1
D	C/0	E/0
E	D/1	A/0

10.- Determine cuatro diagramas de estados para los circuitos secuenciales síncronos especificados por los siguientes requisitos. Cada circuitos tiene una única línea de entrada x y una única línea de salida z.

a.- El primer circuito debe producir una salida $z = 1$ cuando ocurran dos entradas x consecutivas con valor 1 lógico. La siguiente entrada posterior a los dos unos lógicos regresa la salida a 0 lógico. Por ejemplo,

$$x = 01100111110$$

$$z = 00100010100$$

b.- El segundo circuito debe detectar la secuencia de entrada 101, produciendo $z = 1$ cuando se presente el último 1. La salida regresa a 0 en el siguiente pulso de reloj. Dos secuencias 101 se pueden solapar. Por ejemplo

$$x = 010101101$$

$$z = 000101001$$

c.- Repita el problema anterior, pero sin solapes. Por ejemplo,

$$x = 010101101$$

$$z = 000100001$$

d.- El cuarto circuito detecta una secuencia 01. La secuencia hace que $z = 1$, y z sólo regresa a cero cuando ocurre una secuencia de entrada 00. Para los demás casos, $z = 0$. Por ejemplo,

$$x = 010100100$$

$$z = 011110110$$

11.- Deduzca el diagrama de estados mínimo de un circuito secuencial con reloj que reconozca la secuencia de entrada 1010. Las secuencias se pueden solapar. Por ejemplo,

$$x = 00101001010101110$$

$$z = 00000100001010000$$

12.- Determine la tabla de estados de un circuito secuencial síncrono que detecte la secuencia de entrada 0101. Las secuencias se pueden solapar. Por ejemplo,

$$x = 010101001101011$$

$$z = 000101000000010$$

13.- Obtenga un diagrama de estados mínimo para un circuito secuencial con reloj que reconozca la secuencia de entrada 1001, permitiendo solapes. Por ejemplo,

$$x = 0101001000110010010$$

$$z = 0000001000000010010$$

14.- Deduzca las ecuaciones lógicas que implementen el circuito secuencial de cuatro estados definido por la siguiente tabla de estados en los casos: Utilizando (a) flip-flops D, (b) flip-flops JK y (c) flip-flops SR.

	x	
	0	1
A	B/0	C/0
B	D/0	A/1
C	A/1	D/0
D	D/1	B/1

15.- Dada la siguiente tabla de estados, determine las ecuaciones lógicas y el diagrama lógico. Usando (a) flip-flops D (b) flip-flops SR.

	x	
	0	1
A	A/0	B/0
B	C/0	B/0
C	D/0	B/0
D	A/1	B/0

16.- Determine una realización mediante flip-flops JK con reloj para la siguiente tabla de estado.

	x	
	0	1
A	B/0	D/0
B	A/0	C/1
C	D/1	C/0
D	B/1	E/1
E	C/0	A/0
F	E/0	F/1

17.- Diseñe un contador arriba/abajo de 2 bits, modulo 3, con la siguiente tabla funcional, usando flip-flops JK.

S ₀	S ₁	Modo
0	0	Arriba
0	1	Abajo
1	0	Módulo 3
1	1	Módulo 3

18.- Diseñar un contador que disponga de una señal de control x, la cual es usada como selector de secuencia, de tal forma que si la entrada $x = 0$ el contador generará una secuencia en decimal y si $x = 1$ el contador generará una secuencia en código Gray. Utiliza un biestable SR para el bit menos significativo del contador, un biestable T para el segundo bit y un biestable JK para el bit más significativo.

19.- Utilice flip-flops D para diseñar un contador generador de números pseudo aleatorios de 3 bits. el circuito tiene una entrada de control x. Cuando $x = 0$, el circuito debe operar como un contador binario hacia arriba. En caso contrario, debe operar como un generador de números pseudo aleatorios, según la siguiente tabla funcional.

Estado Actual	Contador binario hacia arriba $x = 0$	Generador de números pseudo aleatorios $x = 1$
0	1	0
1	2	4
2	3	5
3	4	1
4	5	2
5	6	6
6	7	7
7	0	3

20.- Determine una tabla de estados minimizada para el circuito secuencial síncrono representado por la siguiente tabla de estados.

	I	J
A	B/0	A/1
B	C/0	A/0
C	C/0	B/0
D	E/0	D/1
E	C/0	D/0

21.- Reduzca las siguientes tablas de estados.

(a)

	I	J
A	B/1	C/0
B	A/1	C/0
C	D/1	A/0
D	C/1	A/1

(b)

	I	J
A	A/0	E/1
B	E/1	C/0
C	A/1	D/0
D	F/0	G/1
E	B/1	C/0
F	F/0	E/1
G	A/1	D/1

(c)

	I	J	K
A	A/0	B/1	E/1
B	B/0	A/1	F/1
C	A/1	D/0	E/0
D	F/0	C/1	A/0
E	A/0	D/1	E/1
F	B/0	D/1	F/1

22.- Elabore una tabla de estados reducida para el siguiente circuito secuencial síncrono:

	I	J
A	B/0	C/0
B	D/0	E/0
C	F/0	G/0
D	A/1	B/1
E	C/0	D/0
F	F/0	G/0
G	B/0	F/0

23.- Elabore una tabla de estados reducida para el siguiente circuito secuencial síncrono:

	I	J
A	A/0	C/0
B	D/1	A/0
C	F/0	F/0
D	E/1	B/0
E	G/1	G/0
F	C/0	C/0
G	B/1	H/0
H	H/0	C/0

24.- Construya un diagrama de estados a partir de la siguiente tabla de estados. ¿Cuál es la ecuación lógica para la variable de salida z ?.

	x	
	0	1
A	D/1	B/0
B	D/1	C/0
C	D/1	A/0
D	B/1	C/0

25.- Dada la siguiente tabla de estados, determine las secuencias de salida y de estados de la secuencia de entrada

$$x = 010101$$

partiendo del estado inicial A

	x	
	0	1
A	D/0	B/0
B	C/0	B/0
C	B/0	C/0
D	B/0	C/1

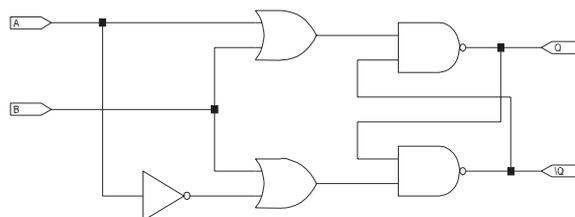
26.- Para el siguiente circuito secuencial, determine la secuencia de salida para la secuencia de entrada

$$x = 0010110101$$

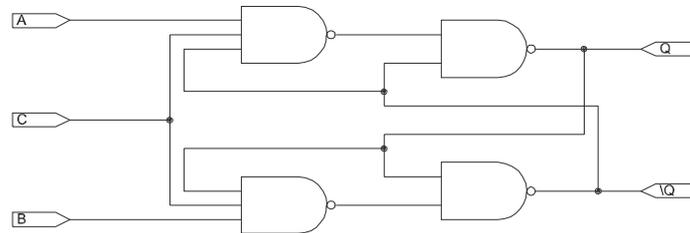
si el estado inicial es A. Haga un diagrama de estados para este circuito.

	x	
	0	1
A	B/0	C/1
B	C/1	B/0
C	A/0	A/1

27.- Deduzca el diagrama de estados y la ecuación característica (ecuación de realimentación) para el circuito de la figura.

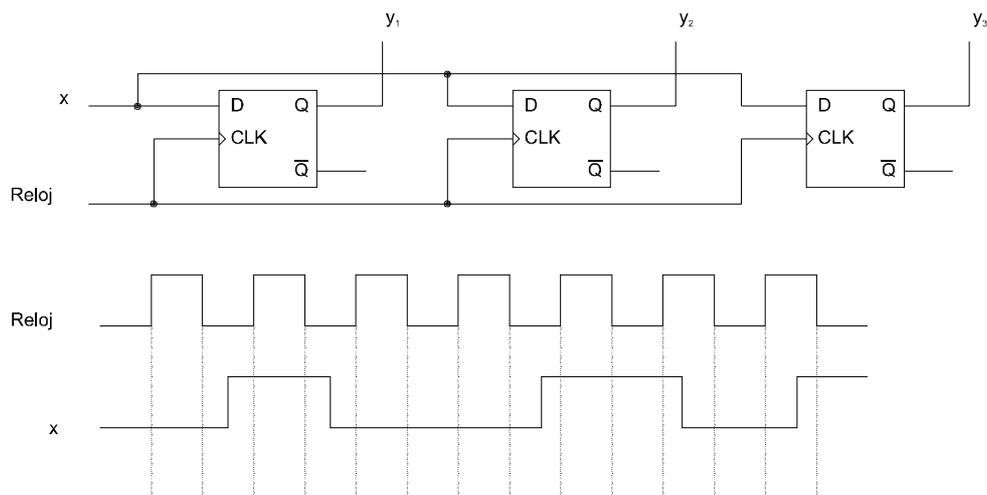


28.- ¿Es el circuito de la figura un diseño válido de latch? Explique. Si es un latch, complete la tabla de excitación de la figura. ¿Se puede utilizar como un latch SR con puertas? En tal caso, ¿de qué forma?

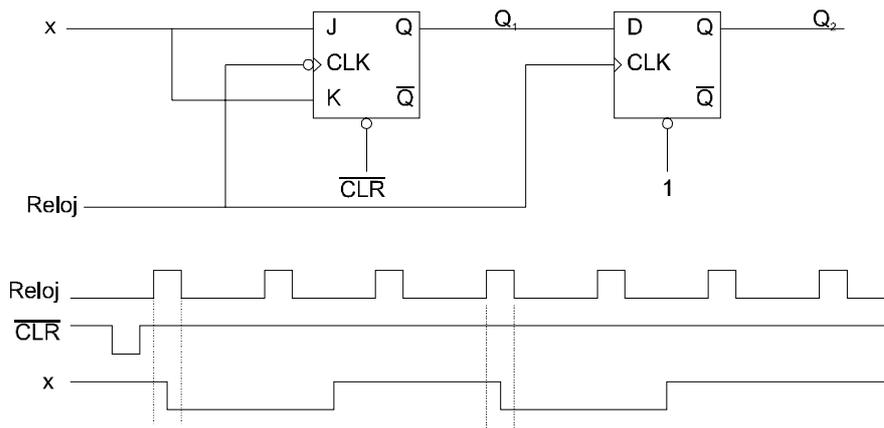


A	B	C	Q	Q*	Modo
0	0	0	0	0	Sin Cambio
0	0	0	1	1	Sin Cambio

29.- En el circuito de la figura, el primer dispositivo es un latch D, el segundo un flip-flop D disparado por transición positiva y el tercero un flip-flop D disparado por transición negativa. Complete el diagrama de tiempos, trazando las formas de onda de las señales y_1 , y_2 e y_3 .



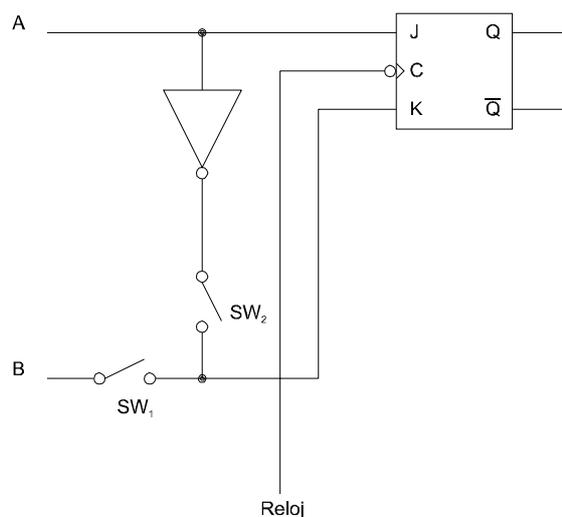
30.- El circuito de la figura contiene un flip-flop JK y un flip-flop D. Complete el diagrama de tiempos de la figura, trazando las formas de onda de las señales Q1 y Q2, suponiendo que el flip-flop JK se dispara por transición negativa.



31.- Complete la siguiente tabla de valores de excitación de un flip-flop necesarios para producir los cambios de estado indicados en el flip-flop, donde y indica el presente estado e Y el siguiente estado deseado del flip-flop

<i>Estado Actual</i>	<i>Estado Siguiete</i>	<i>Flip-flop JK</i>		<i>Flip-flop D</i>	<i>Flip-flop SR</i>		<i>Flip-flop T</i>
y	Y	J	K	D	S	R	T
0	0						
0	1						
1	0						
1	1						

32.- El circuito de la figura es similar al utilizado en los dispositivos lógicos programables. Está diseñado para operar como un flip-flop JK o como un flip-flop D según la configuración de los interruptores SW_1 y SW_2 . Determine la configuración (abiertos o cerrados) de los dos interruptores para el funcionamiento como un flip-flop JK y D, y describa la forma de lograr este funcionamiento.



33.- Diseñe un circuito secuencial síncrono, utilizando una EPROM y un flip-flop D disparado por transición, para implantar la siguiente tabla de estados:

□	X ₁ X ₂			
	00	01	11	10
A = 00	A	B	D	C
B = 01	B	C	A	D
C = 10	C	D	B	A
D = 11	D	A	C	B

34.- Diseñe un circuito secuencial síncrono, utilizando EPROMs y flip-flop D disparados por transición, para implementar la siguiente tabla de estados:

	X ₁ X ₂ X ₃							
	000	001	010	011	100	101	110	111
A = 000	A	B	H	C	B	B	B	D
B = 001	B	C	A	A	A	D	C	A
C = 010	C	D	B	E	D	B	D	B
D = 011	D	E	C	A	C	F	A	C
E = 100	E	F	D	G	F	B	F	H
F = 101	F	G	E	A	E	H	G	E
G = 110	G	H	F	A	H	B	H	F
H = 111	H	A	G	A	G	B	E	G

35.- Reducir las siguientes tablas de estado incompletamente especificadas.

a.-

	A	B	C	D
1	2, 0	-, 1	3, -	2, 0
2	3, 0	5, 1	2, 0	-
3	3, 0	4, 1	-	5, 0
4	-	1, 1	2, -	-
5	-	-	1, 1	-

b.-

	00	01	11	10
1	6, 0	-	-	7, -
2	3, -	2, -	-	7, -
3	2, -	7, -	-	-
4	8, -	10, -	4, -	8, -
5	-	-	9, -	-
6	-	6, 0	-	4, 1
7	7, 0	6, 1	4, -	5, -
8	8, -	-, 1	-, 1	10, -
9	10, 1	1, -	4, -	-
10	-, 0	-	-	3, -

c.-

	A	B	C	D
1	2, -	4, -	-	3, -
2	6, -	9, -	-	-
3	-	-	7, -	8, -
4	2, -	1, -	6, -	5, -
5	-	-	-	6, -
6	1, 0	-	2, -	-, 1
7	5, 1	2, -	-	-
8	5, -	-	-	1, 0
9	5, -	3, -	-	-

d.-

	A	B	C
1	1, 0	2, -	5, 0
2	2, 0	3, -	4, 0
3	2, 0	1, -	4, 0
4	-	2, -	7, 1
5	-	1, -	7, 1
6	1, -	2, -	5, 0
7	1, 1	2, 1	8, 0
8	6, 0	3, 0	6, 1

36.- Realizar el diseño de un circuito secuencial síncrono que genere una salida $z = 1$ durante dos ciclos de reloj, cuando a la línea de entrada x se han suministrado exactamente tres "1" durante los tres intervalos precedente de reloj. Si durante cuatro o más ciclos del reloj hubiese "1", la salida será $z = 0$.

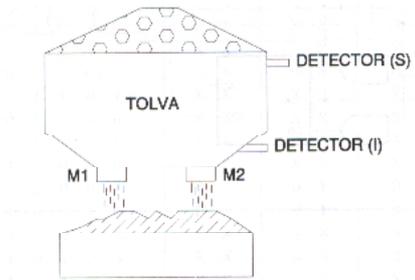
37.- Realizar el diseño de un circuito secuencial síncrono que recibe secuencias de cuatro bits, capaz de detectar las secuencias 0101 y 1110 y con dos salidas z_1 y z_2 . Las salidas del sistema tomarán los valores $z_1 = 1$ $z_2 = 0$ en el instante que se detecte la secuencia 0101 durante un ciclo de reloj, $z_1 = 0$ $z_2 = 1$ en el instante que se detecte la secuencia 1110 durante un ciclo de reloj y $z_1 = 0$ $z_2 = 0$ en cualquier otro caso.

38.- Determinar los compatibles máximos del circuito descrito por la tabla de la figura y determina una cobertura de cuatro estados para este circuito si es posible.

q^v	q^{v+1}, Z						
	X = 1	X = 2	X = 3	X = 4	X = 5	X = 6	X = 7
q_1	$q_1, 0$	$q_3, 1$	$q_5, -$	$-, -$	$q_5, -$	$q_5, 1$	$-, -$
q_2	$q_1, 0$	$q_3, 1$	$q_5, 1$	$-, -$	$-, -$	$-, -$	$q_8, 0$
q_3	$-, -$	$q_4, -$	$-, -$	$q_1, -$	$q_1, 0$	$-, -$	$q_5, -$
q_4	$q_1, -$	$q_4, -$	$q_5, -$	$-, -$	$q_1, -$	$q_4, -$	$q_5, 1$
q_5	$q_5, 0$	$-, -$	$q_3, -$	$q_4, 1$	$q_1, 0$	$q_5, -$	$-, -$
q_6	$q_5, 1$	$q_4, 0$	$q_3, 1$	$q_1, 0$	$q_1, -$	$q_4, -$	$q_5, 1$
q_7	$q_1, 0$	$q_2, -$	$-, 1$	$q_6, 1$	$q_7, 1$	$q_8, 0$	$-, -$
q_8	$-, -$	$q_2, 1$	$-, -$	$q_4, 1$	$-, -$	$q_8, 0$	$q_7, 0$

39.- Un sistema de molienda de café está formado por dos motores (M1 y M2) y debe funcionar con arreglo al siguiente criterio:

- Cuando el nivel de café dentro de la tolva se encuentre entre “S” e “I”, sólo debe funcionar uno de los motores, de tal forma que cada vez que se ponga en marcha uno de ellos, lo haga aquel que estaba parado cuando el otro trabajaba.
- Si el nivel sobrepasa el detector “S”, deben funcionar los dos motores simultáneamente, mientras que si no sobrepasa el detector “I”, se deben parar ambos.
- Suponer que inicialmente el molino se encuentra lleno de café.
- No considerar las posibles situaciones de error.



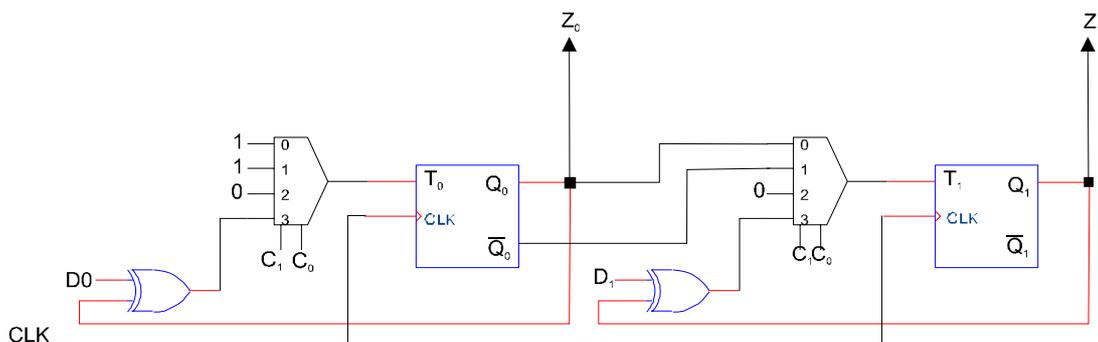
Diseñar un circuito digital síncrono siguiendo el modelo de Mealy que permita controlar los dos motores M1 y M2.

- Diagrama y Tabla de transición de estados.
- Reducción de estados si la misma es posible. Tabla de transición de estados reducida.
- Diagrama lógico. Utilizar flip-flops D disparados por flanco de subida del reloj.

40.- Un sistema recibe secuencialmente datos de un bit a través de su entrada X sincronizada con una señal de reloj CK. Diseñe un circuito siguiendo el modelo de **MOORE** que dé salida S=1 cuando haya recibido X=1 durante tres o más intervalos de reloj consecutivos.

- Diagrama y Tabla de transición de estados.
- Reducción de estados si la misma es posible.
- Diagrama lógico. Utilizar flip-flops D disparados por flanco de subida del reloj.

41.- Analizar el circuito de la figura e indicar las distintas funciones que realiza en función de los valores de C_0 y C_1 . Sin modificar el diseño, sustituir los biestables T por biestables JK.



42.- Información codificada en BCD-Aiken es enviada en serie por una línea (X) sincronizada con los impulsos de un reloj, llegando primero el bit de mayor peso. Diseñar, empleando biestables tipo "T" activados en el flanco ascendente de su señal de reloj y los operadores lógicos necesarios, el circuito que genere la señal de error (E) en el instante en que se reciba el cuarto bit (LSB) cuando la combinación sea errónea, es decir, que no pertenezca al código. En ese mismo momento, el sistema ha de retornar al estado inicial para empezar un nuevo ciclo de detección de error.

43.- Diseñar un circuito con cuatro salidas que proporcione una secuencia de pulsos desfasados entre sí por un ciclo de reloj, partiendo de una señal común de sincronización. Estos pulsos deberán aparecer en la salida cuando se produzca una transición de '0' a '1' por una línea de entrada, "START"; y deberán finalizar, tras haber terminado la secuencia de todas las salidas, al recibir una transición de '0' a '1' por una línea de entrada "STOP". Se supone que no pueden llegar simultáneamente 2 flancos de subida por "START" y "STOP".